

(3) Japanese Patent Application Laid-Open No. 9-252578 (1997):  
“HARMONIC CURRENT REDUCTION CIRCUIT”

The following is an extract relevant to the present application.

The present invention relates to a harmonic current reduction circuit in which a harmonic current is reduced in a power supply circuit which rectifies AC voltage from an AC power supply, switches the rectified voltage, and rectifies the switched voltage to generate DC voltage.

AC voltage from an AC power source 1 is half-wave-rectified with a rectifier diode 2, and this half-wave-rectified voltage is switched with a switching element 9 through a reactor 3, and it is smoothed with an electrolytic capacitor 12 through a high-speed recovery diode 8 before being supplied to a load 13, and also the switching element 9 is turned on/off so that the current from the AC power source may be sine waves through a drive circuit 10, based on an input voltage from an input voltage detecting circuit 5, an input current from an input current detecting circuit 7, and an output current from an output voltage detecting means 11.

特開平9-252578

(43)公開日 平成9年(1997)9月22日

(51)Int.Cl. <sup>®</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 02 M 7/217		8726-5H	H 02 M 7/217	
H 02 J 1/02			H 02 J 1/02	
	3/01		3/01	A
H 02 M 3/155			H 02 M 3/155	F

審査請求 未請求 請求項の数4 O.L (全12頁)

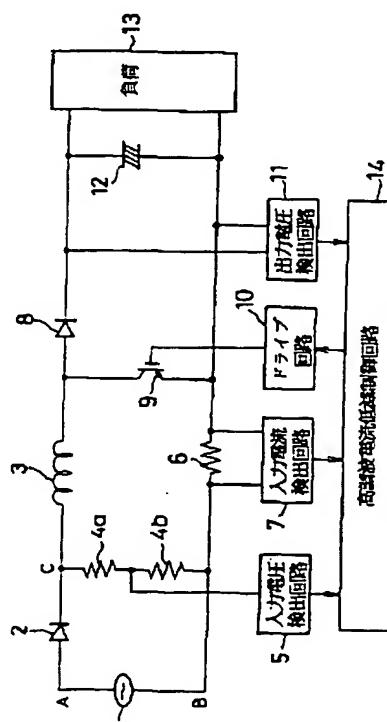
(21)出願番号	特願平8-58686	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成8年(1996)3月15日	(72)発明者	宮崎 浩 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝住空間システム技術研究所内
		(72)発明者	武井 洋 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝住空間システム技術研究所内
		(74)代理人	弁理士 三好 秀和 (外3名)

## (54)【発明の名称】高調波電流低減回路

## (57)【要約】

【課題】 変換効率の低下を改善するとともに、部品点数を削減し、経済化を図った高調波電流低減回路を提供する。

【解決手段】 交流電源1からの交流電圧を整流ダイオード2で半波整流し、この半波整流電圧をリアクトル3を介してスイッチング素子9でスイッチングし、高速リカバリダイオード8を介して電解コンデンサ12で円滑化して負荷13に供給するとともに、入力電圧検出回路5からの入力電圧、入力電流検出回路7からの入力電流、出力電圧検出手段11からの出力電流に基づきドライブ回路10を介して交流電源からの電流が正弦波となるようにスイッチング素子9をオン／オフ駆動している。



## 【特許請求の範囲】

【請求項1】 交流電源からの交流電圧を半波整流すべく該交流電源の一端に接続された整流ダイオードと、該整流ダイオードに直列に接続されたリクトルと、該リクトルに直列に接続された高速リカバリダイオードと、

該高速リカバリダイオードの他端と前記交流電源の他端との間で負荷に並列に接続された電解コンデンサと、前記リクトルの負荷側に接続されたスイッチング素子と、

前記整流ダイオードの負荷側と前記交流電源の他端との間に接続された抵抗と、

該抵抗に接続され、前記交流電源からの入力電圧を検出する入力電圧検出回路と、

前記交流電源からの電流を検出する入力電流検出回路と、

前記スイッチング素子を駆動するドライブ回路と、

前記電解コンデンサの両端の電圧を検出する出力電圧検出手段と、

前記入力電圧検出回路、前記入力電流検出回路、および前記出力電圧検出回路からの出力信号に基づき、前記交流電源からの電流が正弦波となるように前記スイッチング素子をオン／オフ駆動する信号を前記ドライブ回路に供給する制御回路とを有することを特徴とする高調波電流低減回路。

【請求項2】 交流電源の一端に接続されたリクトルと、

該リクトルに直列に接続された高速リカバリダイオードと、

該高速リカバリダイオードの他端と前記交流電源の他端との間で負荷に並列に接続された電解コンデンサと、前記リクトルの負荷側に接続されたスイッチング素子と、

前記スイッチング素子に直列に接続された保護ダイオードと、

前記交流電源の両端に直列に接続された整流ダイオードおよび抵抗と、

該抵抗に接続され、前記交流電源からの入力電圧を検出する入力電圧検出回路と、

前記交流電源からの電流を検出する入力電流検出回路と、

前記スイッチング素子を駆動するドライブ回路と、

前記電解コンデンサの両端の電圧を検出する出力電圧検出手段と、

前記入力電圧検出回路、前記入力電流検出回路、および前記出力電圧検出回路からの出力信号に基づき、前記交流電源からの電流が正弦波となるように前記スイッチング素子をオン／オフ駆動する信号を前記ドライブ回路に供給する制御回路とを有することを特徴とする高調波電流低減回路。

【請求項3】 前記入力電圧検出回路は、前記抵抗に直列に接続されたフォトダイオードおよび該フォトダイオードに光学的に接続され、位相検出信号を出力するフォトトランジスタからなるフォトカプラと、前記位相検出信号が高レベルにある時間と低レベルにある時間の差を検出するカウンタと、該カウンタのカウント値をロードされ、該カウント値をシフトするシフトレジスタと、前記カウンタのカウント値と前記シフトレジスタのレジスタ値とを比較し、交流電源のゼロクロス点を検出するコンパレータとを有することを特徴とする請求項2記載の高調波電流低減回路。

【請求項4】 前記ドライブ回路は、交流電源からの交流電圧を半波整流した電圧を所定の基準電圧と比較して位相検出信号を発生するコンパレータと、該コンパレータから出力される位相検出信号とドライブ信号との論理積を取るアンド回路とを有することを特徴とする請求項2記載の高調波電流低減回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、交流電源からの交流電圧を整流し、この整流電圧をスイッチングし、このスイッチングされた電圧を整流して直流電圧を発生する電源回路において高調波電流を低減した高調波電流低減回路に関する。

## 【0002】

【従来の技術】 近年、国内外の電源高調波電流の規制に対応したアクティブフィルタが開発され、このようなアクティブフィルタを使用した高調波電流低減回路として、従来、図11に示すようなものがある。図11に示す高調波電流低減回路は、交流電源91からの交流電圧(図12の点線で示す波形)を4個のダイオードからなる全波整流回路92で整流し、この整流された電圧をリクトル93を介してスイッチングトランジスタ94でスイッチングし、このスイッチングされた電圧をダイオード95で整流し、平滑コンデンサ96を介して負荷97に供給している。

【0003】 また、入力電圧検出回路98からの入力電圧、入力電流検出回路99からの入力電流、出力電圧検出回路102からの出力電圧をアクティブフィルタ制御回路103に供給し、該アクティブフィルタ制御回路103からの出力信号でドライブ回路101を介して前記スイッチングトランジスタ94をオン／オフスイッチングし、これにより図12の実線で示す電源電流波形が点線で示す電源電圧波形と同じ正弦波になるように制御し、電源電流の高調波成分を低減している。

## 【0004】

【発明が解決しようとする課題】 上述したように、高調波電流の低減のためにアクティブフィルタを使用すると、従来の電源回路に比べて、コストアップおよび変換効率の低下を招き、実用化の障害となっている。変換効

率を低下させる原因是、主にダイオード、リアクタ、スイッチング素子である。

【0005】特に、従来の回路では、図11に示すように、交流電源91からの交流電圧を4個のダイオードからなる全波整流回路で整流しているため、図11においてスイッチングトランジスタ94がオンしている期間では、点線で示す電流ループ内に2個のダイオードが挿入され、オフ期間では、電流ループ内に3個のダイオードが挿入され、これにより変換効率が低下するとともに、部品点数も多く、非経済的であるという問題がある。

【0006】本発明は、上記に鑑みてなされたもので、その目的とするところは、変換効率の低下を改善するとともに、部品点数を削減し、経済化を図った高調波電流低減回路を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため、請求項1記載の本発明は、交流電源からの交流電圧を半波整流すべく該交流電源の一端に接続された整流ダイオードと、該整流ダイオードに直列に接続されたリアクトルと、該リアクトルに直列に接続された高速リカバリダイオードと、該高速リカバリダイオードの他端と前記交流電源の他端との間で負荷に並列に接続された電解コンデンサと、前記リアクトルの負荷側に接続されたスイッチング素子と、前記整流ダイオードの負荷側と前記交流電源の他端との間に接続された抵抗と、該抵抗に接続され、前記交流電源からの入力電圧を検出する入力電圧検出回路と、前記交流電源からの電流を検出する入力電流検出回路と、前記スイッチング素子を駆動するドライブ回路と、前記電解コンデンサの両端の電圧を検出する出力電圧検出手段と、前記入力電圧検出回路、前記入力電流検出回路、および前記出力電圧検出回路からの出力信号に基づき、前記交流電源からの電流が正弦波となるように前記スイッチング素子をオン／オフ駆動する信号を前記ドライブ回路に供給する制御回路とを有することを要旨とする。

【0008】請求項1記載の本発明にあっては、交流電源からの交流電圧を整流ダイオードで半波整流し、この半波整流電圧をリアクトルを介してスイッチング素子でスイッチングし、高速リカバリダイオードを介して電解コンデンサで円滑化して負荷に供給するとともに、入力電圧検出回路からの入力電圧、入力電流検出回路からの入力電流、出力電圧検出手段からの出力電流に基づきドライブ回路を介して交流電源からの電流が正弦波となるようにスイッチング素子をオン／オフ駆動している。

【0009】また、請求項2記載の本発明は、交流電源の一端に接続されたリアクトルと、該リアクトルに直列に接続された高速リカバリダイオードと、該高速リカバリダイオードの他端と前記交流電源の他端との間で負荷に並列に接続された電解コンデンサと、前記リアクトルの負荷側に接続されたスイッチング素子と、前記スイッ

チング素子に直列に接続された保護ダイオードと、前記交流電源の両端に直列に接続された整流ダイオードおよび抵抗と、該抵抗に接続され、前記交流電源からの入力電圧を検出する入力電圧検出回路と、前記交流電源からの電流を検出する入力電流検出回路と、前記スイッチング素子を駆動するドライブ回路と、前記電解コンデンサの両端の電圧を検出する出力電圧検出手段と、前記入力電圧検出回路、前記入力電流検出回路からの出力信号に基づき、前記交流電源からの電流が正弦波となるように前記スイッチング素子をオン／オフ駆動する信号を前記ドライブ回路に供給する制御回路とを有することを要旨とする。

【0010】請求項2記載の本発明にあっては、リアクトルを通った交流電源からの交流電圧を保護ダイオードを介してスイッチング素子でスイッチングし、このスイッチングした電圧を高速リカバリダイオードを介して電解コンデンサで円滑化して負荷に供給するとともに、交流電源からの交流電圧をダイオードおよび抵抗を介して入力電圧検出回路で検出された入力電圧、入力電流検出回路からの入力電流、出力電圧検出手段からの出力電流に基づきドライブ回路を介して交流電源からの電流が正弦波となるようにスイッチング素子をオン／オフ駆動している。

【0011】更に、請求項3記載の本発明は、請求項2記載の発明において、前記入力電圧検出回路が前記抵抗に直列に接続されたフォトダイオードおよび該フォトダイオードに光学的に接続され、位相検出信号を出力するフォトトランジスタからなるフォトカプラと、前記位相検出信号が高レベルにある時間と低レベルにある時間の差を検出するカウンタと、該カウンタのカウント値をロードされ、該カウント値をシフトするシフトレジスタと、前記カウンタのカウント値と前記シフトレジスタのレジスタ値とを比較し、交流電源のゼロクロス点を検出するコンパレータとを有することを要旨とする。

【0012】請求項3記載の本発明にあっては、入力電圧検出回路においてフォトカプラからの位相検出信号が高レベルにある時間と低レベルにある時間の差をカウンタで検出し、該カウンタのカウント値をシフトレジスタにロードしてシフトし、カウンタのカウント値とシフトレジスタのレジスタ値とを比較し、交流電源のゼロクロス点を検出している。

【0013】請求項4記載の本発明は、請求項2記載の発明において、前記ドライブ回路は、交流電源からの交流電圧を半波整流した電圧を所定の基準電圧と比較して位相検出信号を発生するコンパレータと、該コンパレータから出力される位相検出信号とドライブ信号との論理積を取るアンド回路とを有することを要旨とする。

【0014】請求項4記載の本発明にあっては、ドライブ回路においては交流電源からの交流電圧を半波整流した電圧を所定の基準電圧と比較して位相検出信号を発生

し、この位相検出信号とドライブ信号との論理積をアンダ回路で取っている。

【0015】

【発明の実施の形態】以下、図面を用いて本発明の実施の形態について説明する。

【0016】図1は、本発明の一実施形態に係わる高調波電流低減回路の構成を示す回路図である。同図に示す高調波電流低減回路は、交流電源1からの交流電圧を半波整流する整流ダイオード2、該整流ダイオード2のアノードに一端が接続されたリアクトル3、該リアクトル3の他端にカソードが接続された高速リカバリダイオード8、該高速リカバリダイオード8のカソードに一端が接続され、両端に負荷13が接続されている電解コンデンサ12、前記整流ダイオード2のカソードと交流電源1の他端との間に接続された2個の直列接続された分圧抵抗4a、4b、交流電源1の他端に一端が接続された電流検出用抵抗6、該電流検出用抵抗6の他端と前記リアクトルの他端との間に接続されたIGBTやMOSFET等からなるスイッチング素子9、前記分圧抵抗4a、4bの接続点に接続され、入力電圧を検出する入力電圧検出回路5、前記電流検出用抵抗6の両端に接続され、入力電流を検出する入力電流検出回路7、前記スイッチング素子9のベースに接続されたドライブ回路10、前記電解コンデンサ12の両端の出力電圧を検出する出力電圧検出回路11、前記入力電圧検出回路5からの入力電圧、入力電流検出回路7からの入力電流、出力電圧検出回路11からの出力電圧を供給され、これらの各入力信号に基づいて交流電源1の電流が正弦波となるようにスイッチング素子9をオン／オフ駆動する制御信号を前記ドライブ回路10に出力する高調波電流低減制御回路14から構成されている。

【0017】また、図2は、図1に示す高調波電流低減回路に使用されている前記高調波電流低減制御回路14の詳細な構成を示すブロック図である。図2に示す高調波電流低減制御回路14は、前記出力電圧検出回路11からの出力電圧と基準電圧源21からの基準電圧とを演算する電圧誤差增幅器22、該電圧誤差增幅器22の出力と前記入力電圧検出回路5から取り込んだ基準電圧波形とを演算し、基準電圧波形を出力する乗算器23、乗算器23からの基準電流波形と入力電流検出回路7からの入力電流波形とを演算する電流誤差增幅器25、該電流誤差增幅器25からの出力信号をPWM周波数発振器24から発生するPWM信号と比較し、PWM信号を発生するPWM比較器26、過電圧、過電流などから保護するとともに、前記PWM比較器26からのPWM信号を前記ドライブ回路10に出力する保護回路27から構成されている。

【0018】図3は、図1の高調波電流低減回路における電源電圧波形および電源電流波形を示す図であり、点線は図1においてB点からA点を見た電源電圧波形、実

線は電源電流波形を示している。

【0019】以上のように構成される高調波電流低減回路において、交流電源1からの交流電圧（図3の点線で示す電圧）は、整流ダイオード2で半波整流され、この半波整流された電圧は、リアクトル3を介してスイッチング素子9でスイッチングされ、このスイッチングされた電圧は高速リカバリダイオード8で整流され、電解コンデンサ12で円滑化され、負荷13に供給されるとともに、整流ダイオード2で整流された電圧は分圧抵抗4a、4bで分圧され、入力電圧検出回路5で検出され、入力電圧検出回路5は図4(a)に示すような基準電圧波形を高調波電流低減制御回路14に供給する。

【0020】交流電源1からの交流電圧は整流ダイオード2で半波整流されるため、入力電圧検出回路5は、図4(a)に示すように、電源周期の半周期のみ、すなわち電源周期360度のうち0から180度の期間のみ出力信号を発生する。従って、入力電流検出回路7で検出される入力電流も図3の実線で示すように0度から180度の半周期のみ流れれる。

【0021】また、入力電流検出回路7は、電流検出用抵抗6の電圧降下により電源電流波形を検出し、高調波電流低減制御回路14に供給する。高調波電流低減制御回路14は、電源電圧の位相が0度から180度の時、ドライブ回路10からPWM信号を出力して、スイッチング素子9をオン／オフし、電源電流波形が基準電圧波形と同じ正弦波になるように制御する。PWM信号は、電源電流波形が基準電流波形よりも小さい時はスイッチング素子9をオフし、リアクトル3のエネルギーを放出する。この動作をPWM周波数で繰り返しを行い、電源電流波形と基準電圧波形が同じ正弦波になるようにPWM制御する。

【0022】PWM周波数は、PWM周波数発振器24で発生し、数十KHzから数百KHzに設定される。また、高調波電流低減制御回路14は出力電圧を一定に制御している。出力電圧検出回路11は、電解コンデンサ12の両端の出力電圧を抵抗を分圧して検出する。

【0023】高調波電流低減制御回路14は、出力電圧検出回路11で検出した出力電圧と高調波電流低減制御回路14の内部の基準電圧源21の基準電圧とを電圧誤差增幅器22で演算し、電圧誤差增幅器22の出力と入力電圧検出回路5から取り込んだ基準電圧波形とを乗算器23で演算し、基準電流波形を出力する。乗算器23は、出力電圧が低い時には基準電流波形を大きく、出力電圧波形が高い時には基準電流波形を小さくなるように演算を行う。これにより、負荷電流に変動があつても、出力電圧を一定に制御することができる。

【0024】整流ダイオード2は、交流電源1からの交流電圧を半波整流するとともに、電源電圧の位相が180度から360度の時にスイッチング素子9に逆電圧が印加されることを防止するように作用している。なお、

高調波電流低減制御回路14は従来から製品化されているアクティブフィルタ制御ICを使用することができる。

【0025】以上のように構成される高調波電流低減回路では、交流電源1からの電源電圧の整流を1個の整流ダイオード2で行うことができ、図11に示した従来の回路で4個必要であったものに比較して、3個のダイオードを削減することができる。また、従来のアクティブフィルタの構成では、スイッチング素子9がオンしている期間には、図11で説明したように、電流ループ内には2個のダイオードが挿入されていたが、これに対して本実施形態の高調波電流低減回路では、スイッチング素子9がオンしている時には、電流ループ内には1個のダイオード2のみが挿入され、オフの期間では電流ループ内に2個のダイオード2, 8が挿入されている。従って、ダイオードの順方向電圧降下による損失は、スイッチング素子9がオンしている期間では1/2となり、オフの期間では2/3となり、変換効率の低下を改善することができる。

【0026】図5は、本発明の他の実施形態に係わる高調波電流低減回路の構成を示す回路図である。同図に示す高調波電流低減回路は、図1に示した実施形態において整流ダイオード2を削除し、この代わりに直列接続された分圧抵抗4a, 4bに直列に整流ダイオード16を挿入し、スイッチング素子9に直列に保護ダイオード15を挿入した点が異なるのみであり、その他の構成は図1のものと同じである。

【0027】図5のように構成される高調波電流低減回路では、分圧抵抗4a, 4bに直列に接続された整流電流16に流れる電流は、数mAと小さいため、該ダイオード16として小信号用の安価なダイオードを使用することができる。また、図1の回路の整流ダイオード2には常に電源電流が流れていたが、図5の回路では保護ダイオード15にはスイッチング素子9がオンの時のみ電流が流れ。従って、スイッチング素子9がオンしている期間には、図1の回路と同様に電流ループ内には1個のダイオードが挿入されているが、オフの期間には電流ループ内に1個のダイオードが挿入されることになる。従って、ダイオードの順方向電圧降下による損失は、図11に示す従来の構成に比較し、スイッチング素子9がオンしている期間には1/2となり、オフの期間には1/3となり、図1の構成に比較し、更に変換効率を改善することができる。

【0028】図6は、本発明の更に他の実施形態に係わる高調波電流低減回路の構成を示す回路図である。同図に示す高調波電流低減回路は、図5に示した実施形態においてスイッチング素子9と保護ダイオード15の位置を入れ替えた点が異なるのみで、その他の構成および作用は図5に示すものと同じである。従って、図6の高調波電流低減回路も図5の回路と同様な動作を実現でき、

同様な効果を実現することができる。

【0029】図7は、本発明の別の実施形態に係わる高調波電流低減回路の構成を示す回路図である。同図に示す高調波電流低減回路は、図6に示した実施形態においてアクトル3と高速リカバリダイオード8の接続位置を下側に移動した点が異なるのみで、その他の構成および作用は図6のものと同じである。従って、図7の高調波電流低減回路も図5および図6の回路と同様な動作を実現でき、同様な効果を実現することができる。

【0030】図8は、本発明の更に別の実施形態に係わる高調波電流低減回路の構成を示す回路図である。同図に示す高調波電流低減回路は、図7の実施形態においてスイッチング素子9と保護ダイオード15の位置を入れ替えた点が異なるのみで、その他の構成および作用は図7のものと同じである。従って、図8に示す高調波電流低減回路も図7の回路と同様な動作を実現でき、同様な効果を実現することができる。

【0031】図9(a)は、図5ないし図8に示した各実施形態における入力電圧検出回路5の他の構成を示す図である。なお、高調波電流低減回路の基準電流波形(正弦波)を高調波電流低減回路の内部でメモリに記憶しておき、交流電源のゼロクロス点に同期させて出力する方式が提案されている。このような方式の場合には、交流電源のゼロクロス点を検出すればよい。

【0032】図9において、交流電源1からの交流電圧は、抵抗31を介してフォトカプラ32のフォトダイオード32aに印加され、これにより該フォトダイオード32aに図9(b)の(i)に示すように正の半周期のみ電流が流れ、これにより該フォトカプラ32のフォトトランジスタ32bが導通し、図9(b)の(ii)に示すような位相検出信号が該フォトトランジスタ32bから出力される。なお、該フォトトランジスタ32bのコレクタはブルアップ抵抗33によって図示しない電源電圧にブルアップされている。

【0033】フォトトランジスタ32bから出力された位相検出信号は、カウンタ34に供給され、これにより図9(b)の(iii)に示すように該位相検出信号の立ち上がりエッジでカウンタ34をリセットして、該カウンタをアップカウント開始させ、立ち下がりエッジで該カウンタをダウンカウントさせている。そして、次の立ち上がりエッジでカウンタ34のカウント値をシフトレジスタ35にロードするとともに、2ビットシフトし、シフトレジスタ35の値を1/4にしている。カウンタ34およびシフトレジスタ35の各値はコンパレータ36に供給され、コンパレータ36は両者の値を比較し、両者の値が一致した時をゼロクロス点として図9(b)の(iv)に示すように出力している。高調波電流低減制御回路14は、このゼロクロス点に同期して、電源周期の半周期の位相期間の間だけ、図9(b)の(v)に示すようにドライブ回路10からPWM信号を出力すること

ができる。

【0034】図10(a)は、図5ないし図8に示した各実施形態におけるドライブ回路の構成を示す図である。なお、図5ないし図8の各実施形態のように入力電圧回路でドライブ回路の出力を片側の半周期の位相区間に输出するように制御していない構成の場合に、180度から360度の位相区間においてドライブ出力を禁止する必要があるが、図10(a)に示す回路はこのようなために必要なものである。

【0035】図10(a)において、交流電源1からの交流電圧をダイオード41で図10(b)の(イ)に示すように整流し、分圧抵抗42、43で分圧し、この分圧電圧をコンパレータ44で基準電圧と比較し、図10(b)の(ロ)に示すような位相検出信号を出力している。

【0036】このコンパレータ44からの位相検出信号は、アンド回路45でドライブ信号との論理積を取り、これにより図10(b)の(ハ)に示すようなPWM信号をドライブ回路10から電源位相の0~180度の位相区間のみ出力している。

【0037】上述したように構成される本発明の高調波電流低減回路においては、電源電流の第2次高調波電流は基本波電流の40%前後となる。IEC規格および国内ガイドラインでクラスAに分類される機器の100V入力の第2次高調波電流の限度値は2.48Aであるので、基本波電流は約6A流せることになる。従って、約600Wの機器まで限度値を満足することができる。また、200V入力の第2次高調波電流の限度値は1.24Aであるから、同様に計算すると、基本波電流は約3A流せることになり、約600Wの機器まで限度値を満足することができる。4次以降の偶数次高調波電流も発生するが、第2次高調波電流に比べて限度値に対する割合が小さいので無視できる。なお、奇数次の高調波電流は限度値を十分に満足しており、問題はない。

【0038】表1は本発明の高調波電流の基本波に対する含有率の測定例を示している。表1では、第11次まで示しているが、第12次以降の高調波電流の含有率は1%以下であり、問題がないことを確認している。

【0039】

【表1】

### 10 高調波電流測定例

高調波次数	含有率[%]
基本波	—
2次	38.5
3次	3.8
4次	9.3
5次	0.6
6次	2.6
7次	1.4
8次	1.7
9次	1.3
10次	1.6
11次	0.6

### 【0040】

【発明の効果】以上説明したように、請求項1記載の本発明によれば、交流電源からの交流電圧を整流ダイオードで半波整流し、この半波整流電圧をリアクトルを通してスイッチング手段でスイッチングし、高速リカバリダイオードを介して電解コンデンサで円滑化して負荷に供給するとともに、入力電圧検出回路からの入力電圧、入力電流検出回路からの入力電流、出力電圧検出手段からの出力電流に基づきドライブ回路を介して交流電源からの電流が正弦波となるようにスイッチング素子をオン／オフ駆動しており、整流回路として1個のダイオードを使用した半波整流回路を利用しているため、従来の4個のダイオードを使用した全波整流回路の比較し、部品点数を削減でき、経済化を図ることができるとともに、電流ループ内のダイオードの数も従来のものに比較して低減され、変換効率も向上することができる。偶数次高調波のうち2次高調波は基本波の40%程度発生するが、2次高調波の規制値が2.48Aであるので、約600Wの機器まで高調波電流の限度値を満足することができる。

【0041】また、請求項2記載の本発明によれば、リアクトルを通った交流電源からの交流電圧を保護ダイオードを介してスイッチング素子でスイッチングし、このスイッチングした電圧を高速リカバリダイオードを介して電解コンデンサで円滑化して負荷に供給するとともに、交流電源からの交流電圧をダイオードおよび抵抗を介して入力電圧検出回路で検出された入力電圧、入力電流検出回路からの入力電流、出力電圧検出手段からの出力電流に基づきドライブ回路を介して交流電源からの電流が正弦波となるようにスイッチング素子をオン／オフ駆動しており、半波整流回路を利用しているため、部品点数を削減でき、経済化を図ことができるとともに、電流ループ内のダイオードの数も更に低減され、変換効

率を更に向上することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係わる高調波電流低減回路の構成を示す回路図である。

【図2】図1に示す高調波電流低減回路に使用されている高調波電流低減制御回路の詳細な構成を示すブロック図である。

【図3】図1の高調波電流低減回路における電源電圧波形および電源電流波形を示す図である。

【図4】図1に示す高調波電流低減回路の動作を示す波形図である。

【図5】本発明の他の実施形態に係わる高調波電流低減回路の構成を示す回路図である。

【図6】本発明の更に他の実施形態に係わる高調波電流低減回路の構成を示す回路図である。

【図7】本発明の別の実施形態に係わる高調波電流低減回路の構成を示す回路図である。

【図8】本発明の更に別の実施形態に係わる高調波電流低減回路の構成を示す回路図である。

【図9】図5ないし図8に示した各実施形態における入力電圧検出回路の他の構成を示す図および動作波形を示す図である。

す図である。

【図10】図5ないし図8に示した各実施形態におけるドライブ回路の構成を示す図および動作波形を示す図である。

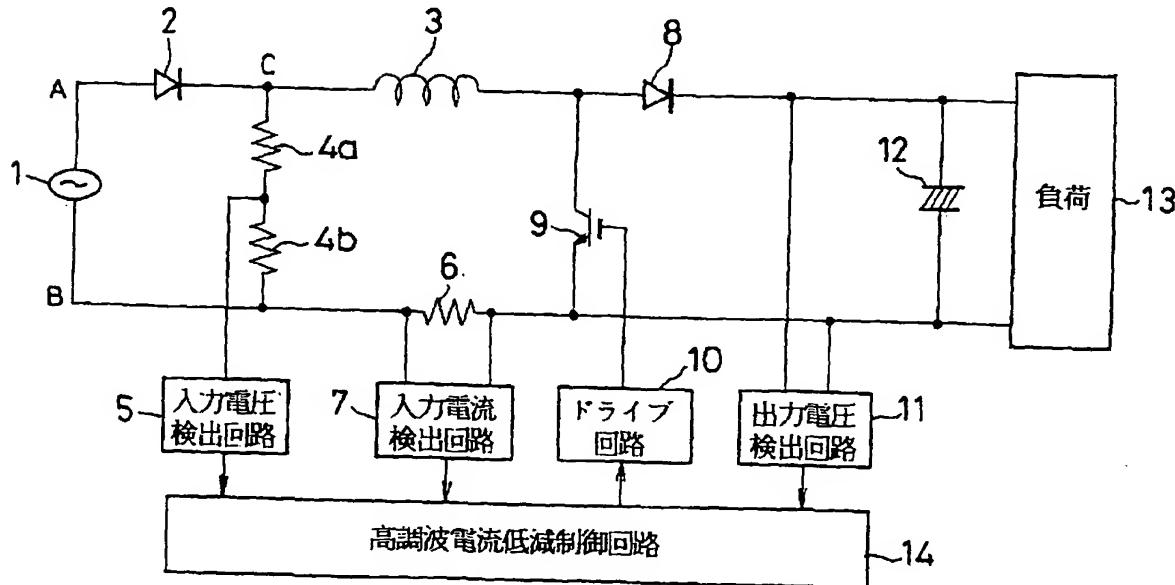
【図11】従来の高調波電流低減回路の構成を示す図である。

【図12】図11の従来の高調波電流低減回路の動作波形を示す図である。

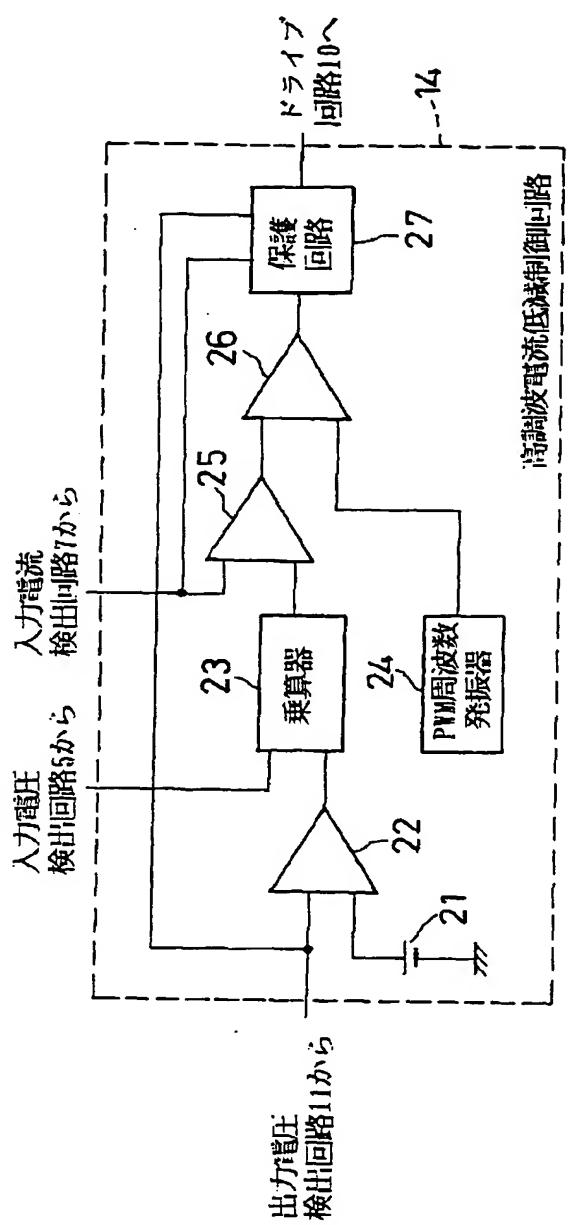
【符号の説明】

- |    |               |
|----|---------------|
| 10 | 1 交流電源        |
|    | 2 整流ダイオード     |
|    | 3 リアクトル       |
|    | 4 a, 4 b 分圧抵抗 |
|    | 5 入力電圧検出回路    |
|    | 6 電流検出用抵抗     |
|    | 7 入力電流検出回路    |
|    | 8 高速リカバリダイオード |
|    | 9 スイッチング素子    |
| 10 | 10 ドライブ回路     |
| 20 | 11 出力電圧検出回路   |
|    | 12 電解コンデンサ    |

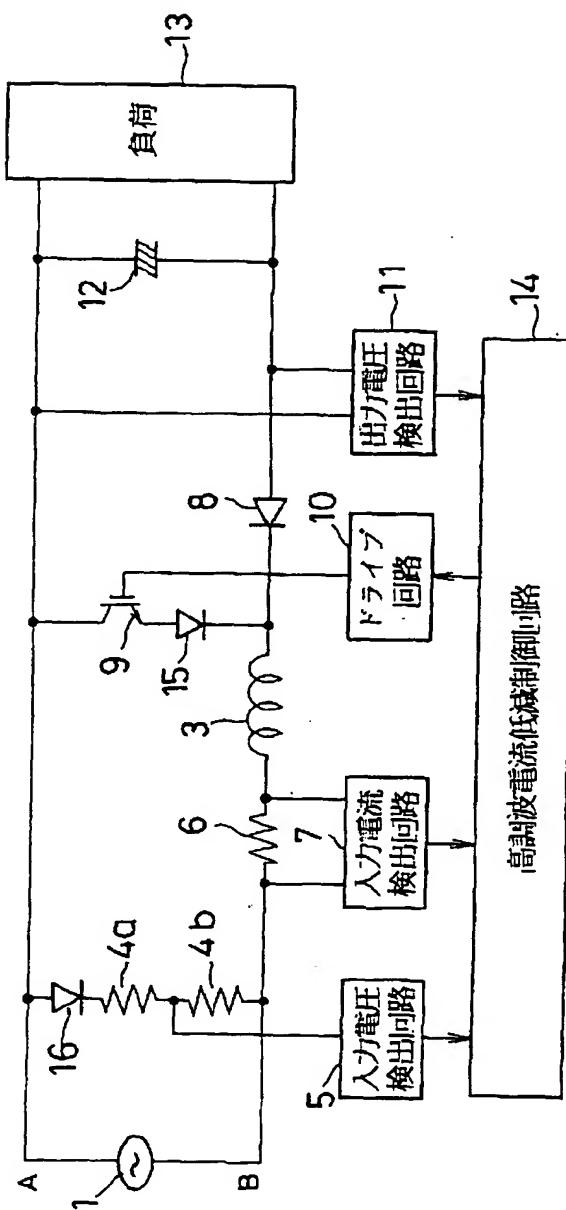
【図1】



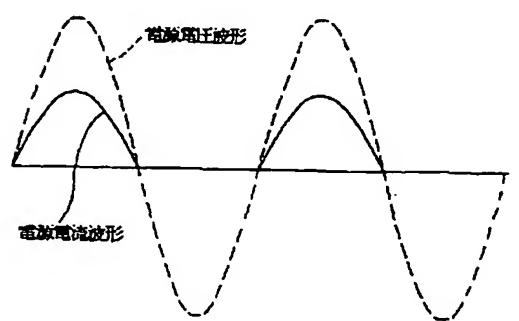
【図2】



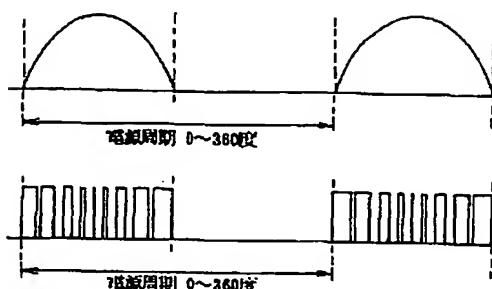
【図7】



【図3】

(a) 基本電圧波形  
入力電圧検出回路5の出力(b) ドライブ回路  
10の出力

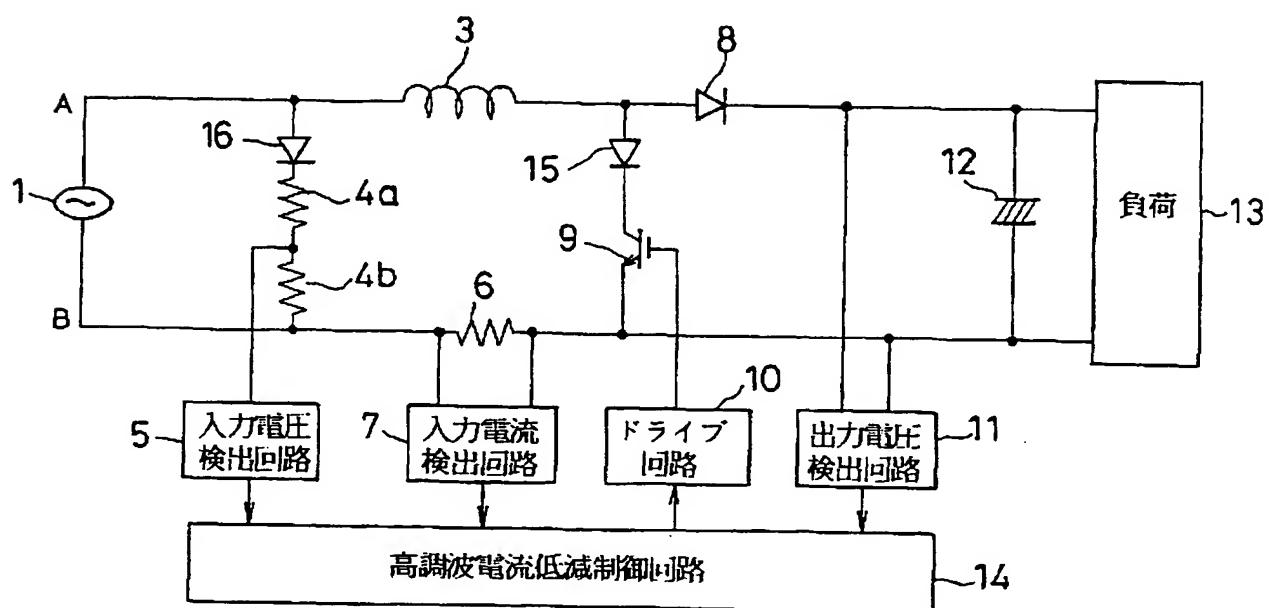
【図4】



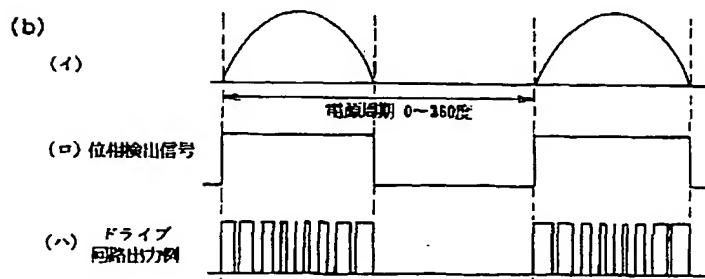
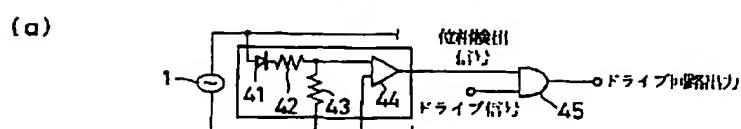
電源周期 0~360度

電源周期 0~360度

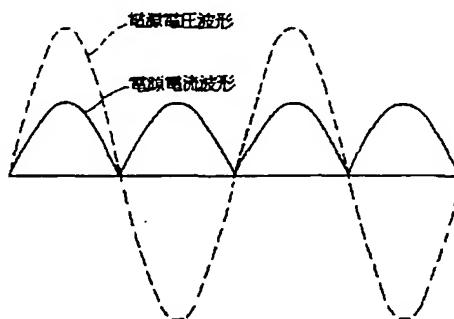
【図5】



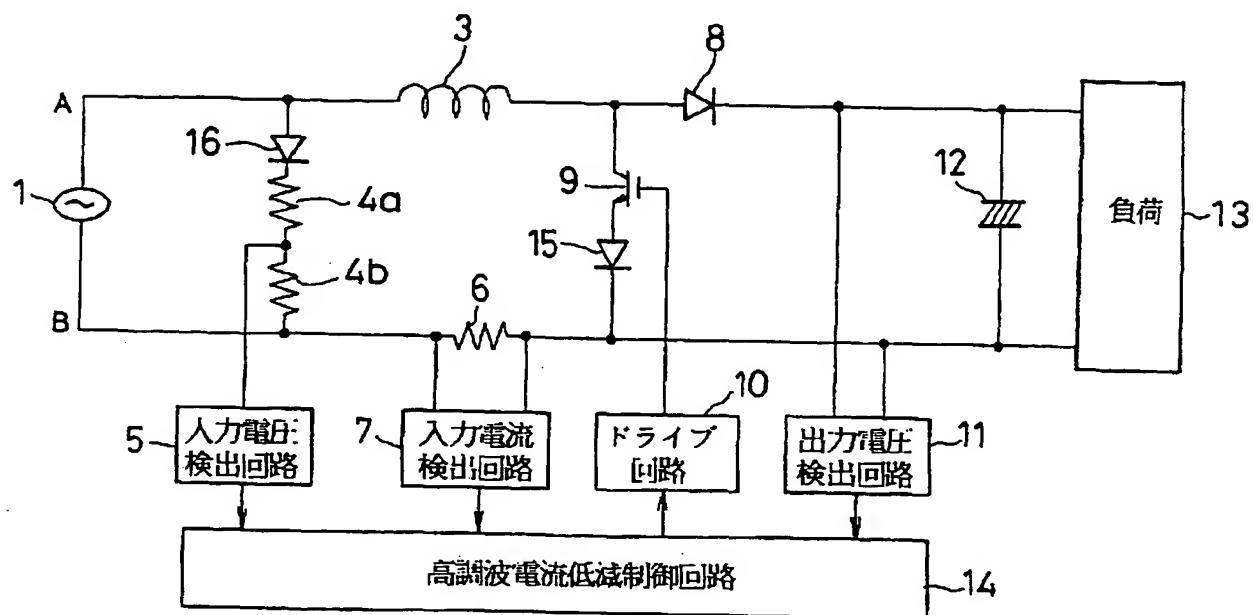
【図10】



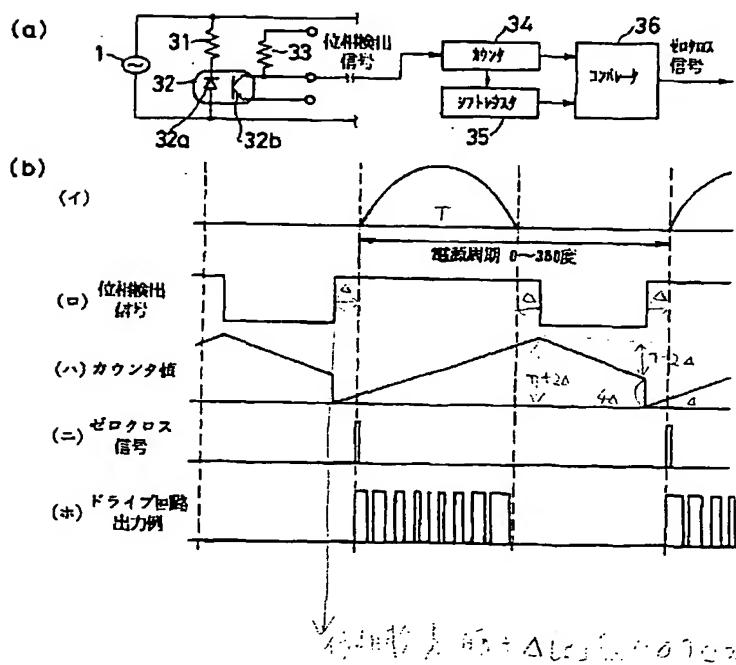
【図12】



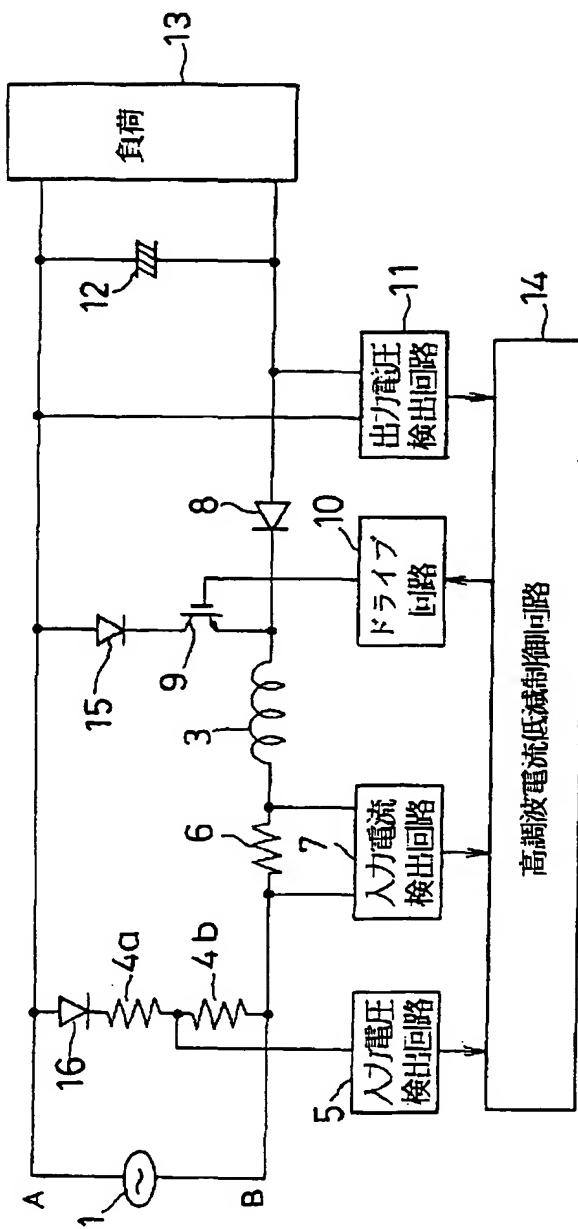
【図6】



【図9】



【図8】



【図11】

